

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 62-137933
 (43) Date of publication of application : 20.06.1987

(51) Int. Cl. H04L 1/22
 H04L 1/02

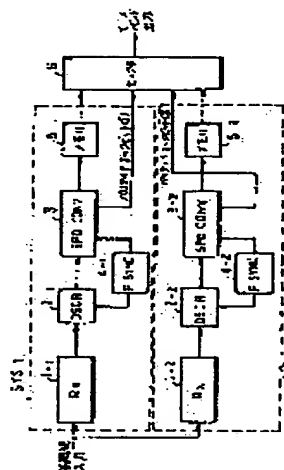
(21) Application number : 60-279901 (71) Applicant : FUJITSU LTD
 (22) Date of filing : 12.12.1985 (72) Inventor : KUME TOMIYUKI
 NAKAYAMA HIDEKI
 KAWAGUCHI KAZUHIKO
 YONEYAMA FUJIO

(54) RADIO SYSTEM WITH ERROR CORRECTION

(57) Abstract:

PURPOSE: To improve the line quality by selecting an output without any error from outputs of 2 sets of receivers operated in parallel so as to reduce the bit error in the output.

CONSTITUTION: Two systems of receivers SYS1, SYS2 have the same constitution. A high frequency input is inputted in parallel to receivers 1-1, 1-2, fed to descramblers 2-1, 2-2, where scrambling is released. The signal is subjected to code speed conversion by speed conversion circuits 3-1, 3-2, the result is stored respectively in memories 5-1, 5-2 together with the data in the parity bit insertion period. Synchronization detection circuits 4-1, 4-2 detect the frame synchronization from the speed conversion circuit, gives it to the descramblers respectively to decide the timing multiplying scrambling codes. In the speed conversion circuits, the parity of the input signal is checked to generate parity check bits 1, 2. A selector 6 selects any output of the memories 5-1, 5-2 based on the parity check bit of both the systems to generate a base band output.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

⑫ 公開特許公報(A)

昭62-137933

⑪ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)6月20日

H 04 L 1/22
1/026651-5K
7251-5K

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 誤り訂正のある無線方式

⑯ 特 願 昭60-279901

⑰ 出 願 昭60(1985)12月12日

⑱ 発 明 者	久 米	富 幸	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	中 山	秀 樹	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	川 口	一 彦	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	米 山	富 士 夫	川崎市中原区上小田中1015番地	富士通株式会社内
⑰ 出 願 人	富 士 通 株 式 会 社		川崎市中原区上小田中1015番地	
⑰ 代 理 人	弁 理 士 玉 蟲 久 五 郎		外 1 名	

明 細 書

1. 発明の名称

誤り訂正のある無線方式

2. 特許請求の範囲

デジタル化された信号を受信する受信装置において、

並列に運転される2台の受信機(101,102)と、
該各受信機(101,102)の出力データを格納するメモリ(103,104)と、

該各メモリの出力から対応する受信機(101,102)のバリチエック結果が正しい方を選択して出力するセレクト手段(105)とを具備てなることを特徴とする誤り訂正のある無線方式。

3. 発明の詳細な説明

(概 要)

並列運転される2台の受信機が同じビット位置に誤りを生じる確率は極めて小さいことを利用し

て、両受信機の出力をメモリに格納して、バリチエック結果が正しい方の受信機に対応するメモリ出力を選択して出力するようにしたので、出力におけるビット誤りを小さくすることができ、回線品質を向上させることができる。

(産業上の利用分野)

本発明は誤り訂正機能を有する無線方式に係り、特に並列に動作する2台の受信機の出力から誤りを生じていない側の出力を選択することによつて、誤り率の改善を図るようにした、誤り訂正のある受信方式に関するものである。

デジタル化された信号を無線回線を経て伝送する場合、受信機自体の内部雑音に基づいてビット誤りを発生するが、通信回線の品質向上のために、このような誤り率が極力小さいことが望まれる。

(従来の技術)

従来、受信機の内部雑音や機器の不完全性に基

づいて、メモリ5-1,5-2のいずれかの出力を選択して、ベースバンド出力を発生し搬送端局へ送出する。

第1表は第2図におけるセクタ6の選択動作を説明したものである。パリティチェックビットは両系ともビット誤りが検出されないときハイレベル(H)、検出されたときローレベル(L)になるものとする。通常、SYS1は現用系、SYS2は予備系であつて、第1表に示すように両系がともに健全なときはSYS1の出力が選択されているが、いずれか一方の系がパリティエラーを発生したときは、誤りを発生していない方の系の出力が選択される。両系が同時に誤りを生じたときはSYS1が選択される。

第 1 表

パリティチェックビット②	パリティチェックビット①	
	H	L
H	SYS1	SYS1
L	SYS2	SYS1

出力には誤りが含まれないことが示されている。

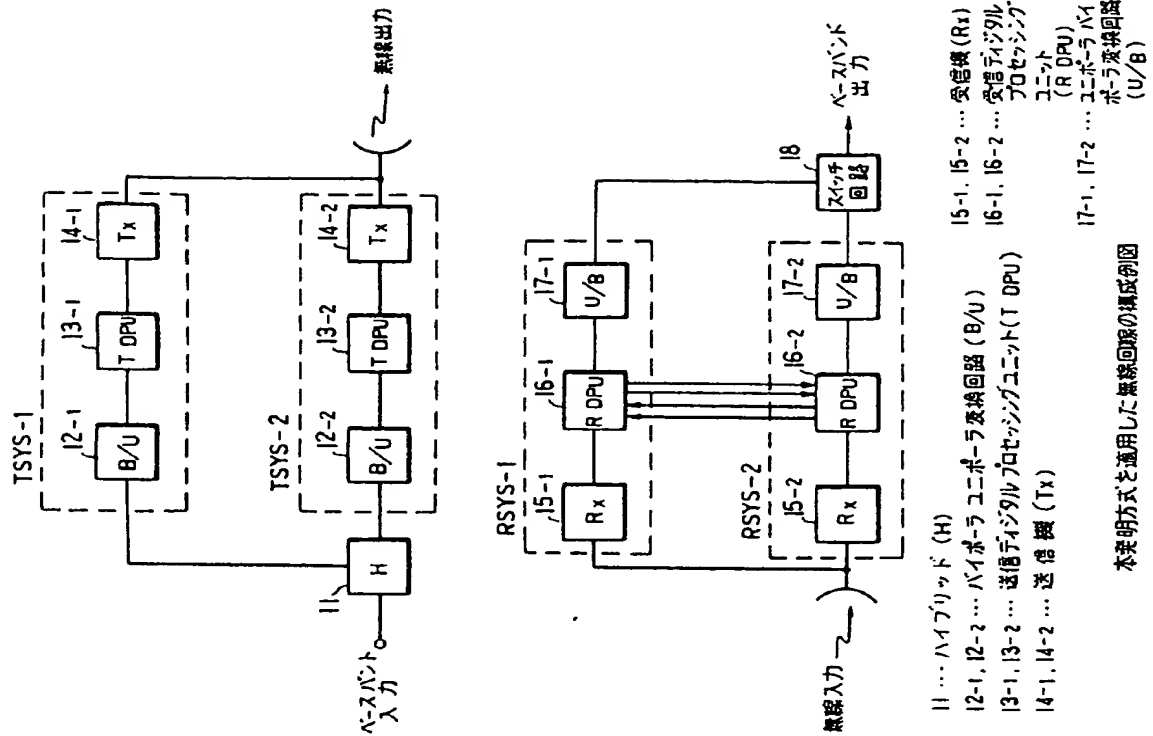
第5図は本発明方式を適用した無線回線の構成例を示したものである。同図は送信側も二重化した例を示し、ベースバンド入力信号はハイブリッド(H)11において2分され、互に現用、予備の関係となる両送信系TSYS-1、TSYS-2のいずれか一方を経て無線信号に変換されて送出される。両送信系において、バイポーラユニポーラ変換回路(B/U)12-1,12-2は搬送端局からのバイポーラ符号からなるベースバンド入力を、無線回線におけるユニポーラ符号に変換して出力する送信デジタルプロセッシングユニット(TDPU)13-1,13-2は、例えばPSK送信のために必要な符号処理を行う。送信機(Tx)14-1,14-2は入力信号を無線信号に変換して送出する。両系において添字1はTSYS-1を、添字2はTSYS-2をそれぞれ示している。

受信系もRSYS-1、RSYS-2の2系統からなるが、両系統は並列運転され、健全な系の信号が選択的に出力される。両受信系において、

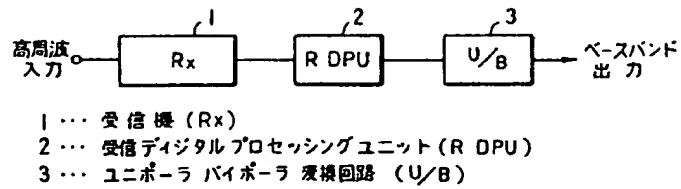
第3図はセクタにおける入力切り替えの例を示したものである。同図において実線で示すパリティチェックビットは誤りがない場合、破線で示すものは誤りがあつた場合を示し、(1)で示すようにSYS1においてデータ2について誤りが検出されたときはSYS2の出力がセクタで選択され、(2)で示すようにSYS1、SYS2においてデータ3について誤りが検出されたときはSYS1の出力が選択され、(3)で示すようにSYS2においてデータ4について誤りが検出されたときはSYS1の出力が選択されることを説明している。

第4図は両系統の受信機における誤りビットの発生を説明したものであつて、SYS1、SYS2においてそれぞれ図示のように誤りビットを発生したとしても、誤り率(BER)が例えば 10^{-6} 程度に低いときは、両系統における誤りビットが同時に発生する確率は極めて小さい。本発明の方式では、セクタによつて常に誤りが発生していない側の受信機の出力を選択するので、セクタ

受信機(Rx)15-1,15-2は入力無線信号を受信する。受信デジタルプロセッシングユニット(RDPU)16-1,16-2は受信信号に送信側における逆の符号処理を行つて、ユニポーラ符号を再生し、それぞれの内部におけるメモリに蓄積する。さらにRDPU16-1,16-2はそれぞれの系の信号のパリティチェックを行つて、パリティチェックビットを発生して相互に供給する。これによつて第1表に示されたようにメモリ出力の制御が行われて、パリティチェック結果が正しい方のメモリ出力が発生する。ユニポーラバイポーラ変換回路(U/B)17-1,17-2は、入力されたユニポーラ信号をバイポーラ信号に変換して出力する。スイッチ回路18は非常用のためのもので、常時はU/B17-1,17-2の出力を並列に接続してベースバンド出力として図示されない搬送端局へ送出するが、いずれか一方の受信系に障害が生じたときは、スイッチ回路18は障害を発生していない側の受信系の出力に固定される。

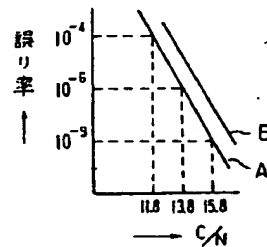


第 5 図



従来のエラー検出方式を示す図

第 6 図



C/N と誤り率の関係を示す図

第 7 図